



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **03178170 A**(43) Date of publication of application: **02.08.91**

(51) Int. Cl.

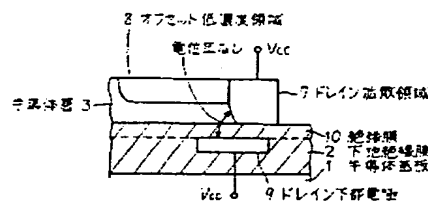
**H01L 29/784**(21) Application number: **01316723**(71) Applicant: **FUJITSU LTD**(22) Date of filing: **06.12.89**(72) Inventor: **KAWAI SHINICHI**(54) **SEMICONDUCTOR DEVICE**

## (57) Abstract:

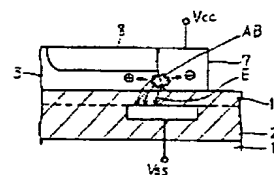
**PURPOSE:** To improve the drain breakdown strength of an offset gate MOSFET of SOI(silicon on insulator) structure, and at the same time increase ON-current, by electrically connecting a drain lower part electrode with a gate electrode via an inverter.

**CONSTITUTION:** Under a drain diffusion layer 7 and an adjacent semiconductor layer 3, a drain lower part electrode 9 is formed via an insulating film 10 in an adjacent manner. In the OFF-state of an MOSFET, the same potential VCC as a potential to be applied to the drain diffusion region 7, e.g. a high potential VCC, is applied to the drain lower electrode 9, via an inverter. In the ON-state of the FET, a potential to be applied to the drain diffusion region 7, e.g. a low potential VSS opposite to the potential VCC, is applied to the drain lower part electrode 9, via the inverter. Thereby the drain breakdown strength of an offset gate type MOSFET of SOI structure can be improved, and at the same time, the ON-current can be increased, so that the driving capability and the operating speed of a semiconductor IC using MOSFET's can be increased.

COPYRIGHT: (C)1991,JPO&amp;Japio



(a) オフ状態



(b) オン状態

**THIS PAGE BLANK (USPTO)**

Concise explanation of the relevance with respect to  
Japanese Laid-Open Patent Application No. 178170/1991

A. Relevance to the Above-identified Document

The following is an English translation of passages related to the present invention.

B. Translation of the Relevant Passages of the Document

The present invention relates to improvement of an element structure of a semiconductor device, particularly a power MOSFET of the SOI structure.

The present invention has an object to improve drain withstand voltage of the power MOSFET of the SOI structure and the off-set gate type, while at the same time increasing an ON current.

The semiconductor device of the present invention comprises:

- a semiconductor substrate;

- a background insulating film provided below the semiconductor substrate;

- a semiconductor layer provided over the background insulating film;

- a source diffusing domain and a drain diffusing domain formed in the semiconductor layer with being

spaced apart from each other;

an off-set domain formed between the source diffusing domain and drain diffusing domain in such a manner so as to touch the drain diffusing domain and keep a space from the source diffusing domain;

a gate insulating film formed over the semiconductor layer;

a gate electrode formed over the gate insulating film above a space between the source diffusing domain and off-set domain;

a drain lower part electrode provided selectively and adjacently to a portion directly below the drain diffusing domain and off-set domain through an insulating film,

the drain lower part electrode being electrically connected to the gate electrode through an inverter.

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平3-178170

⑬ Int.Cl.<sup>4</sup>

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)8月2日

H 01 L 29/784

9056-5F H 01 L 29/78

3 1 1 S

審査請求 未請求 請求項の数 1 (全7頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 平1-316723

⑰ 出 願 平1(1989)12月6日

⑱ 発 明 者 川 合 真 一 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内

⑲ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁理士 井 桁 貞一

明 細 書

1. 発明の名称  
半導体装置

2. 特許請求の範囲

半導体基板と、

該半導体基板上に設けられた下地絶縁膜と、

該下地絶縁膜上に設けられた半導体層と、

該半導体層に相離間して形成されたソース拡散領域及びドレイン拡散領域と、

該ソース拡散領域と該ドレイン拡散領域の離間部に、該ドレイン拡散領域に接し、且つ該ソース拡散領域から離間して形成されたオフセット領域と、

該半導体層上に形成されたゲート絶縁膜と、  
該ソース拡散領域と該オフセット領域との離間部上の該ゲート絶縁膜上に設けられたゲート電極と、

該ドレイン拡散領域とオフセット領域の直下部に選択的に、絶縁膜を介し隣接して設けられたド

レイン下部電極とを有し、

該ドレイン下部電極がインバータを介して該ゲート電極に電気的に接続されていることを特徴とする半導体装置。

3. 発明の詳細な説明

(概 要)

半導体装置、特にSOI構造のパワーMOSFETの素子構造の改良に関し、

SOI構造でオフセットゲート型を有するパワーMOSFETのドレイン耐圧を向上させ、しかもオン電流の増大を同時に図ることを目的とし、

半導体基板と、該半導体基板上に設けられた下地絶縁膜と、該下地絶縁膜上に設けられた半導体層と、該半導体層に相離間して形成されたソース拡散領域及びドレイン拡散領域と、該ソース拡散領域と該ドレイン拡散領域の離間部に、該ドレイン拡散領域に接し、且つ該ソース拡散領域から離間して形成されたオフセット領域と、該半導体層上に形成されたゲート絶縁膜と、該ソース拡散領

域と該オフセット領域との離間部上の該ゲート絶縁膜上に設けられたゲート電極と、該ドレイン拡散領域とオフセット領域の直下部に選択的に、絶縁膜を介し隣接して設けられたドレイン下部電極とを有し、該ドレイン下部電極がインパルクを介して該ゲート電極に電氣的に接続されて構成される。

#### 〔産業上の利用分野〕

本発明は半導体装置、特にSOI構造のパワーMOSFETの素子構造の改良に関する。

パワーMOSFETを組み込んだICは、ディスプレイパネル駆動、モータ直接駆動など高電圧で、且つ高度な制御を必要とする用途でその需要が拡大しており、より高ドレイン耐圧を有し且つオン抵抗の低いパワーMOSFETが要望されている。

#### 〔従来の技術〕

従来開発されているパワーMOSFETのうち

形成されるものに比べて高ドレイン耐圧を有するMOSFETが形成される。

#### 〔発明が解決しようとする課題〕

しかしSOI構造のオフセットゲート型パワーMOSFETにおいては、下地絶縁膜2が多くは高絶縁耐力を有する熱酸化膜により形成され余り厚く出来ないために、上記従来構造において、ドレイン拡散領域7に高電圧が印加された際には、第5図に示すように、ドレイン拡散領域7近傍の半導体層3中にも上記高電圧による高い電位差に起因する強い電界Eが生じ、これによってドレイン拡散領域7の接合にアバランシェ・ブレイクダウン(AB)が起こりドレイン耐圧が低下する。そのために、需要を十分に満たすような高耐圧の素子が得られないという問題があった。

また上記従来の構造においては、オン状態の時ソース拡散領域6とドレイン拡散領域7間に流れる電流はオフセット低濃度領域8の抵抗(オン抵抗)で規定され、駆動電流が制限されるという問

題もあった。SOI(Silicon On Insulator)構造のものの従来構造を模式的に示したのが第4図の側断面図で、図中、1は半導体基板、2は下地絶縁膜、3は半導体層(例えばp<sup>+</sup>型)、4はゲート絶縁膜、5はゲート電極、6はソース拡散領域(例えばn<sup>+</sup>型)、7はドレイン拡散領域(例えばn<sup>+</sup>型)、8はオフセット低濃度領域(例えばn<sup>-</sup>型)、A<sub>off</sub>はオフセット部を示している。

上記SOI構造においては、素子形成領域の半導体層3が下地絶縁膜2上に形成されているために、横方向の素子分離を行うことにより個々の素子が電氣的に完全に分離される。そのため素子形成領域の半導体層3を薄くすることにより、図中のオフセット部A<sub>off</sub>を上下(厚さ)方向に容易に完全空乏化することができ、一度この部分が完全空乏化すると、ドレイン電圧を更にも上げて縦方向の電界は増大しないために、バルク半導体に直接形成したMOSFETのようなドレイン拡散領域7と基板1間の接合ブレイクダウンが起こらない。そこでバルク半導体即ち半導体基板に直接

題もあった。

そこで本発明は、SOI構造のオフセットゲート型MOSFETのドレイン耐圧を向上させ、しかもオン電流の増大を同時に図ることを目的とする。

#### 〔課題を解決するための手段〕

上記課題は、半導体基板と、該半導体基板上に設けられた下地絶縁膜と、該下地絶縁膜上に設けられた半導体層と、該半導体層に相離間して形成されたソース拡散領域及びドレイン拡散領域と、該ソース拡散領域と該ドレイン拡散領域の離間部に、該ドレイン拡散領域に接し、且つ該ソース拡散領域から離間して形成されたオフセット領域と、該半導体層上に形成されたゲート絶縁膜と、該ソース拡散領域と該オフセット領域との離間部上の該ゲート絶縁膜上に設けられたゲート電極と、該ドレイン拡散領域とオフセット領域の直下部に選択的に、絶縁膜を介し隣接して設けられたドレイン下部電極とを有し、該ドレイン下部電極がイ

ンパークを介して該ゲート電極に電気的に接続されている本発明による半導体装置によって解決される。

#### 〔作用〕

第1図は本発明の原理説明用模式図で、図中、(a)はオフ状態、(b)はオン状態、1は半導体基板、2は下地絶縁膜、3は半導体層、4はゲート絶縁膜、7はドレイン拡散領域、8はオフセット低濃度領域、9はドレイン下部電極、10は絶縁膜を示す。

本発明によれば第1図(a)及び(b)に示すように、ドレイン拡散領域7及びその近傍の半導体層3の下部に絶縁膜10を介し隣接してドレイン下部電極9を設け、MOSFETのオフ状態においては、同図(a)に示すように、ドレイン拡散領域7に印加される例えば高電位 $V_{cc}$ と同じ $V_{cc}$ 電位を上記ドレイン下部電極9にインパークを介して印加し、ドレイン拡散領域7と見掛け上の基板(本来の基板1ではない)間の電位差を無くして、この電位

差に起因するドレイン-基板間の強電界によるドレイン接合のアバランシェブレイクダウンを防止し、ソースドレイン間耐圧を上昇させる。

またFETのオン状態においては、同図(b)に示すように、ドレイン下部電極9にドレイン拡散領域7に印加される例えば $V_{cc}$ 電位と逆の低電位 $V_{ss}$ 電位をインパークを介して印加し、このドレイン拡散領域7に対して大きな電位差を有する上記ドレイン下部電極9によってドレイン接合部に強い電界(B)を形成し、この強電界(B)によりドレイン接合にアバランシェブレイクダウン(AB)を起こさる。そしてこれによって発生したキャリア(+)または(-)をソースドレイン間の通電に寄与せしめてオン電流を増大(オン抵抗を減少)させる。

以上により、SOI構造のオフセットゲート型MOSFETのドレイン耐圧を向上させ、しかもオン電流の増大を同時に図ることができる。

#### 〔実施例〕

以下本発明を、図示実施例により具体的に説明する。

第2図は本発明の一実施例の模式図で、(a)は回路図、(b)は側断面図、第3図は本発明の他の実施例の模式図で、(a)は回路図、(b)は平面図、(c)はA-A矢視断面図である。

全図を通じ同一対象物は同一符号で示す。

第2図は単一(n)チャネルMOSによる増幅回路に本発明を適用した一実施例である。

図において、

1は半導体基板、

2は熱酸化により形成した厚さ $1\mu\text{m}$ 程度の

$\text{SiO}_2$ からなる下地酸化膜、

3A、3Bは多結晶シリコン層をレーザビーム照射により再結晶化した半導体層、

3A、3B及び3Bはそれぞれ選択的に不純物をイオン注入して形成した $1 \times 10^{18} \text{cm}^{-3}$ 程度の不純物濃度を有する第1の $n^+$ 型半導体層、

第2の $n^+$ 型半導体層及び $p^+$ 型半導体層、

4は熱酸化により形成された厚さ $500 \sim 1000 \text{\AA}$ 程度のゲート酸化膜、

5A、5B、5Bは高導電性を付与した多結晶シリコンからなるゲート電極、

6A、6Bはそれぞれゲート電極の側面に整合して形成された $10^{18} \sim 10^{20}$ 程度の不純物濃度を有する $n^+$ 型ソース拡散領域、

6Bはゲート電極の側面に整合して形成された $10^{18} \sim 10^{20}$ 程度の不純物濃度を有する $p^+$ 型ソース拡散領域、

7A、7Bはそれぞれレジストマスク等を用いゲート電極直下部から離間して形成された $10^{18} \sim 10^{20}$ 程度の不純物濃度を有する $n^+$ 型ドレイン拡散領域、

7Bは同じくゲート電極直下部から離間して形成された $10^{18} \sim 10^{20}$ 程度の不純物濃度を有する $p^+$ 型ドレイン拡散領域、

8A、8Bはそれぞれ一端部がゲート電極に整合し他端部がドレイン拡散領域内に包含されて形成された $2 \sim 3 \times 10^{18}$ 程度の不純物濃度を有

するn型オフセット低濃度領域、

8B、は一端部がゲート電極に整合し他端部がドレイン拡散領域内に包含されて形成された $2 \sim 3 \times 10^{18}$ 程度の不純物濃度を有するp型オフセット低濃度領域、

9は高導電性を付与した多結晶シリコン、高融点金属或いは高融点金属シリサイド等からなり、主トランジスタ( $T_1$ )のドレイン拡散領域及びその近傍領域の下部に選択的に設けられた厚さ2000Å程度のドレイン下部電極、

10はドレイン下部電極と半導体層とを絶縁するCVD-SiO<sub>2</sub>等による厚さ3000Å程度の層間絶縁膜、

11は燐珪酸ガラス(PSG)からなる厚さ1μm程度の被覆絶縁膜、

12は配線コンタクト窓、

13G<sub>1</sub>、13G<sub>2</sub>、13G<sub>3</sub>はアルミニウム等からなるゲート配線、

13S<sub>1</sub>、13S<sub>2</sub>、13S<sub>3</sub>は同じくソース配線、

13D<sub>1</sub>、13D<sub>2</sub>、13D<sub>3</sub>は同じくドレイン配線、

D<sub>in</sub>は入力信号またはその端子、

従って主トランジスタ( $T_1$ )のドレイン拡散領域7A、とその下部に隣接して配設されたドレイン下部電極9との電位差が0になり、ドレイン拡散領域7A、の接合付近に強い電界が形成されることがなく、接合のアバランシェブレークダウンが防止され、本来の高い接合耐圧に見合った高いドレイン耐圧が得られる。

また入力信号D<sub>in</sub>が〔1〕即ち+5Vの場合、主トランジスタ( $T_1$ )はオンしてそのソース拡散領域6A、とドレイン拡散領域7A、との間にチャネル部及びn型オフセット低濃度領域8A、を介してオン電流が流れるが、この際、インバータ(INV)のpチャネルトランジスタ( $T_{2p}$ )がオフになり、nチャネルトランジスタ( $T_{2n}$ )がオンになって主トランジスタ( $T_1$ )のドレイン下部電極9にV<sub>cc</sub>電位が印加されて、初期にV<sub>cc</sub>電位が印加されているドレイン拡散領域7A、との間に強い電界が形成され、ドレイン接合がアバランシェブレークダウンを起こし、これによって形成されたキャリア(+)がソース拡散領域6A、に流れ込ん

D<sub>out</sub>、は出力端子、

V<sub>cc</sub>は高電位電源、

V<sub>ss</sub>は接地電源、

R<sub>L</sub>は負荷抵抗、

T<sub>1</sub>は増幅用のnチャネル型主トランジスタ、

T<sub>1p</sub>はnチャネル型副トランジスタ、

T<sub>2</sub>はpチャネル型副トランジスタ

INVはドレイン下部電極電圧印加用インバータを示している。

上記構成において、主トランジスタ( $T_1$ )を動作させる入力信号D<sub>in</sub>が同時にドレイン下部電極電圧印加用インバータINVにも入力される。そしてこの信号D<sub>in</sub>が〔0〕即ち-0Vの場合、主トランジスタ( $T_1$ )はオフになり、そのドレイン拡散領域7A、にV<sub>cc</sub>電圧が印加され出力端子D<sub>out</sub>、にV<sub>cc</sub>電圧が出力され、それと共にドレイン下部電極電圧印加用インバータINVのpチャネルトランジスタ( $T_{2p}$ )がオンになり、nチャネルトランジスタ( $T_{2n}$ )がオフになって主トランジスタ( $T_1$ )のドレイン下部電極9にもV<sub>cc</sub>電位が印加される。

でオン電流に寄与し、その分、従来のチャネル電流のみの場合よりオン電流が増大する。

なお上記構成において、従来150V程度しか得られなかった素子のドレイン耐圧を200V以上に高め、且つ30mA程度しか得られなかったオン電流を60mA程度に増大させることができた。

第3図はCMOSインバータに本発明を適用した他の実施例を示す回路図(a)、平面図(b)及びA-A断面図(c)である。

図において、

101は半導体基板、102は下地酸化膜、103A<sub>1</sub>、103B<sub>1</sub>はn<sup>+</sup>型半導体層、103A<sub>2</sub>、103B<sub>2</sub>はp<sup>+</sup>型半導体層、104はゲート酸化膜、105はゲート電極、106A<sub>1</sub>、106B<sub>1</sub>はn<sup>+</sup>型ソース拡散領域、106A<sub>2</sub>、106B<sub>2</sub>はp<sup>+</sup>型ソース拡散領域、107A<sub>1</sub>、107B<sub>1</sub>はn<sup>+</sup>型ドレイン拡散領域、107A<sub>2</sub>、107B<sub>2</sub>はp<sup>+</sup>型ドレイン領域、108A<sub>1</sub>、108B<sub>1</sub>はn型オフセット低濃度領域、108A<sub>2</sub>、108B<sub>2</sub>はp型オフセット低濃度領域、109はドレイン下部電極、110は層間絶縁膜、111は被覆絶縁膜、



112 は配線コンタクト窓、113 は金属配線、 $D_{in}$  は入力信号またはその端子、 $D_{out}$  は出力端子、 $V_{cc}$  は高電位電源、 $V_{ss}$  は接地電源、 $T_{11}$  は外部制御用の主インバータを構成する n チャネル型主トランジスタ、 $T_{12}$  は同じく p チャネル型主トランジスタ、 $T_{21}$  はドレイン下部電極電圧印加用の副インバータを構成する n チャネル型副トランジスタ、 $T_{22}$  は同じく p チャネル型副トランジスタ、 $INV_1$  は外部制御用の主インバータ、 $INV_2$  はドレイン下部電極電圧印加用の副インバータを示している。

この構成においては、入力端子 ( $D_{in}$ ) に 0 V の信号が入力された際、主インバータ ( $INV_1$ ) の  $T_{11}$  がオンし、 $T_{12}$  がオフになって  $D_{out}$  に  $V_{cc}$  電位が出力され、また主インバータ ( $INV_1$ ) の  $n^+$  型ドレイン拡散領域 107A、と  $p^-$  型半導体層 103A、間の接合に  $V_{cc}$  に対応する高電圧が印加されるが、この際同時に副インバータ ( $INV_2$ ) も同様に動作して主インバータ ( $INV_1$ ) のドレイン下部電極 109 にも同様に  $V_{cc}$  電位が印加されるので、上

記ドレイン接合に基板に向かう高電界が形成されることがなくなり、接合のアバランシェブレイクダウンが防止され上記  $n^+$  型ドレイン領域 107A、の接合耐圧が向上する。

上記作用は主インバータ ( $INV_1$ ) の p チャネルトランジスタ  $T_{12}$  がオフする際にも同様である。

また、 $D_{in}$  に (1) の信号即ち +5 V が入力されて主インバータ ( $INV_1$ ) の n チャネル型主トランジスタ  $T_{11}$  がオンする際、同一入力信号により副インバータ ( $INV_2$ ) の n チャネル型副トランジスタ  $T_{21}$  もオンしてドレイン下部電極 109 に上記主トランジスタ  $T_{11}$  の  $n^+$  型ドレイン拡散領域 107A、と等しい  $V_{cc}$  電位が印加されるが、この際、同図 (b) から明らかなように、副インバータ ( $INV_2$ ) を主インバータ ( $INV_1$ ) に比べて小型小容量に構成することにより、主トランジスタのドレイン拡散領域 107A、に比べてドレイン下部電極 109 の電位の切り換えの方を速くし、それにより過渡的にドレイン領域 107A、の接合にアバランシェブレイクダウンを発生させ、そこに生じたキャリアを徐々に立

ち上がるチャネルを介しての電流に加えることによってオン電流の立ち上がりが速められる。

上記作用は、主インバータ ( $INV_1$ ) の p チャネル型主トランジスタ  $T_{12}$  がオンする際においても同様であり、上記各々のトランジスタのオン電流の立ち上がりの促進により、主インバータ ( $INV_1$ ) のスイッチング速度の向上が図れるという効果が得られる。

#### 〔発明の効果〕

以上説明のように本発明によれば、SOI 構造のオフセットゲート型 MOSFET のドレイン耐圧を向上させ、しかもオン電流の増大を同時に図ることができるので、上記 MOSFET を用いた半導体 IC の駆動能力及び動作速度を高めることができる。

#### 4. 図面の簡単な説明

第 1 図は本発明の原理説明用模式図で、(a) はオフ状態、(b) はオン状態、

第 2 図は本発明の一実施例の模式図で、(a) は回路図、(b) は側断面図、

第 3 図は本発明の他の実施例の模式図で、(a) は回路図、(b) は平面図、(c) は A-A 断面図、

第 4 図は従来構造の模式側断面図、

第 5 図は従来構造の問題点を示す図である。

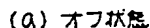
図において

- 1 は半導体基板、
- 2 は下地絶縁膜、
- 3 は半導体層、
- 4 はゲート絶縁膜、
- 7 はドレイン拡散領域、
- 8 はオフセット低濃度領域、
- 9 はドレイン下部電極、
- 10 は絶縁膜

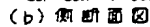
を示す。

代理人 井理士 井桁貞一

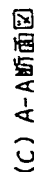
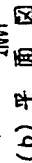




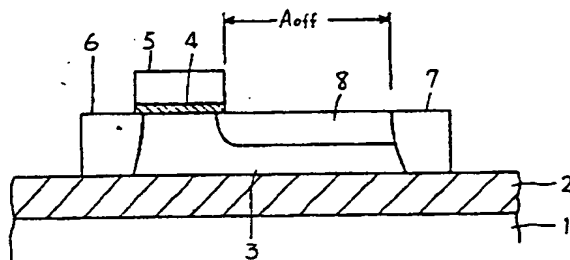
第 1 题



第 2 回

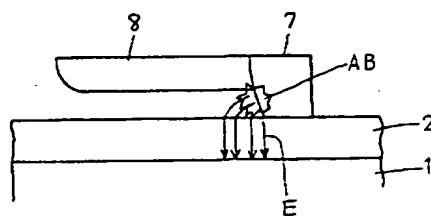


第三區



従来構造の模式側断面図

第 4 図



従来構造の問題点を示す図

第 5 図

**THIS PAGE BLANK (USPTO)**